

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Jiro AMEMIYA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: VIDEO OUTPUT CONTROLLER AND VIDEO CARD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-328272	September 19, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月19日
Date of Application:

出願番号 特願2003-328272
Application Number:

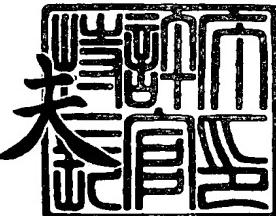
[ST. 10/C] : [JP 2003-328272]

出願人 株式会社東芝
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 ASB02Z012
【提出日】 平成15年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロ
【氏名】 エレクトロニクスセンター内
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロ
【氏名】 エレクトロニクスセンター内
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712
【弁理士】
【氏名又は名称】 岩▲崎▼ 幸邦
【選任した代理人】
【識別番号】 100100929
【弁理士】
【氏名又は名称】 川又 澄雄
【選任した代理人】
【識別番号】 100108707
【弁理士】
【氏名又は名称】 中村 友之
【選任した代理人】
【識別番号】 100095500
【弁理士】
【氏名又は名称】 伊藤 正和
【選任した代理人】
【識別番号】 100101247
【弁理士】
【氏名又は名称】 高橋 俊一
【選任した代理人】
【識別番号】 100098327
【弁理士】
【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982
【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲**【請求項 1】**

DMAコマンドリストを保持する第1の記憶装置と、フレームバッファを保持する第2の記憶装置と、ビデオ出力バッファと、DMAコントローラと、ディスプレイコントローラとを有し、

前記ディスプレイコントローラは、どのDMAコマンドを発行するかを決定するDMAコマンドリスト処理部と、初期化のきっかけとなる初期化信号を受け取る初期化信号ポートと、前記DMAコマンドの発行のきっかけとなるステップ信号を受け取るステップ信号ポートと、前記初期化信号及び前記ステップ信号を元にDMAコマンドの発行のタイミング信号を前記DMAコマンドリスト処理部に通知する外部信号処理部とを有することを特徴とするビデオ出力コントローラ。

【請求項 2】

前記初期化信号ポートが前記初期化信号を受け取った時に前記DMAコマンドリスト処理部は初期化され、前記ステップ信号ポートが前記ステップ信号を受け取った時に、前記ディスプレイコントローラは前記DMAコマンドを前記DMAコントローラへ転送し、前記DMAコントローラは前記DMAコマンドに従って前記第2の記憶装置から前記ビデオ出力バッファに前記フレームバッファを転送することを特徴とする請求項1記載のビデオ出力コントローラ。

【請求項 3】

前記DMAコマンドリスト処理部は、前記DMAコマンドリストの先頭位置を保持するリストヘッダと、次に発行する前記DMAコマンドの位置を保持するリストポインタとを有し、

前記DMAコマンドリスト処理部は、前記初期化信号ポートが前記初期化信号を受け取った場合、前記リストヘッダが保持する前記先頭位置を前記リストポインタへ複写し、前記ステップ信号ポートが前記ステップ信号を受け取った場合、前記リストポインタが示す前記DMAコマンドを発行し、予め決められた規則に従って前記リストポインタを更新し、

前記DMAコマンドリストは複数のレベルからなる階層構造を有し、前記リストポインタは第1のレベルのノードを示し、前記DMAコマンドが発行されるときは、前記ノードの下のレベルのノードからたどれる複数の前記DMAコマンドが起動されることを特徴とする請求項1又は2記載のビデオ出力コントローラ。

【請求項 4】

第2のレベル以下の前記DMAコマンドが起動される順番は予め決まっており、

前記DMAコマンドリストは、ロックフラグを有し、他のハードウェアユニットの起動を指定し、

前記ディスプレイコントローラは、前記ハードウェアユニットが発生する第3の信号を受け取るポートを具備し、前記第3の信号を検出するまで前記ロックフラグが立っている前記DMAコマンドを停止し、前記第3の信号を検出した場合、前記ロックフラグで止められていた前記DMAコマンドを実行することを特徴とする請求項3記載のビデオ出力コントローラ。

【請求項 5】

フレームバッファを描画する複数の画像処理装置と、

DMAコマンドリストを保持する第1の記憶装置と、

前記フレームバッファを保持する第2の記憶装置と、

ビデオ出力バッファと、

DMAコントローラと、

ディスプレイコントローラとを有し、

前記ディスプレイコントローラは、どのDMAコマンドを発行するかを決定するDMAコマンドリスト処理部と、初期化のきっかけとなる初期化信号を受け取る初期化信号ポートと、前記DMAコマンドの発行のきっかけとなるステップ信号を受け取るステップ信号

ポートと、前記初期化信号及び前記ステップ信号を元にDMAコマンドの発行のタイミング信号を前記DMAコマンドリスト処理部に通知する外部信号処理部とを有することを特徴とするビデオカード。

【書類名】明細書

【発明の名称】ビデオ出力コントローラ及びビデオカード

【技術分野】

【0001】

本発明は、ビデオ出力コントローラ及びビデオカードに係り、特に、グラフィックスプロセッサのプログラマブルなビデオ出力コントローラに係る。

【背景技術】

【0002】

従来から、複数の転送元のアドレスが格納されたメモリと、このメモリに格納された転送元のアドレスのうち先頭のアドレスが設定された転送元アドレス設定レジスタとを有するDMA（ダイレクトメモリアクセス）回路が知られている（例えば、特許文献1参照。）。

【0003】

また、CPUからの指示に基いてDMA転送すべき複数ライン分の各データブロック毎の先頭アドレスを格納する転送アドレス格納手段と、複数の転送データライン数を格納する転送データライン数格納手段とを有するDMA転送装置が知られている（例えば、特許文献2参照。）。

【0004】

更に、初期のメモリロケーションと初期のメモリロケーションを基準とした複数のパラメータロケーション（ソースアドレス、デスティネーションアドレスなど）のための少なくとも1つのポインタを備えるパラメータブロック構造を有するインテリジェントMDAコントローラ（IDMAC）が知られている（例えば、特許文献3参照。）。

【特許文献1】特開2001-84217号公報

【特許文献2】特開2002-132706号公報

【特許文献3】米国特許第6202106B1号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、これらのDMA装置はハードウェアで構成されていたため、表示画像の解像度は、予め決められた複数の解像度の中から選ぶことしかできなかった。また、通常、フレームバッファはメモリ上の連続した領域に確保されている。したがって、例えば、分散共有メモリ型計算機システムで協調レンダリングを行う際に、一度それら（フレームバッファ）を集めて1フレームを構成して表示するという段階をふんでいた。

【0006】

本発明はこのような関連技術の問題点を解決するために成されたものであり、その目的は、フレームバッファがメモリ上の任意の位置に分散されている場合でも効率よく表示することが可能になるビデオ出力コントローラ及びビデオカードを提供することである。

【課題を解決するための手段】

【0007】

本発明の第1の特徴は、DMAコマンドリストを保持する第1の記憶装置と、フレームバッファを保持する第2の記憶装置と、ビデオ出力バッファと、DMAコントローラと、ディスプレイコントローラとを有するビデオ出力コントローラであって、ディスプレイコントローラは、どのDMAコマンドを発行するかを決定するDMAコマンドリスト処理部と、初期化のきっかけとなる初期化信号を受け取る初期化信号ポートと、DMAコマンドの発行のきっかけとなるステップ信号を受け取るステップ信号ポートと、初期化信号及びステップ信号を元にDMAコマンドの発行のタイミング信号をDMAコマンドリスト処理部に通知する外部信号処理部とを有することを要旨とする。

【0008】

本発明の第2の特徴は、フレームバッファを描画する複数の画像処理装置と、DMAコマンドリストを保持する第1の記憶装置と、フレームバッファを保持する第2の記憶装置

と、ビデオ出力バッファと、DMAコントローラと、ディスプレイコントローラとを有するビデオカードであって、ディスプレイコントローラは、どのDMAコマンドを発行するかを決定するDMAコマンドリスト処理部と、初期化のきっかけとなる初期化信号を受け取る初期化信号ポートと、DMAコマンドの発行のきっかけとなるステップ信号を受け取るステップ信号ポートと、初期化信号及びステップ信号を元にDMAコマンドの発行のタイミング信号をDMAコマンドリスト処理部に通知する外部信号処理部とを有することを要旨とする。

【発明の効果】

【0009】

本発明によれば、フレームバッファがメモリ上の任意の位置に分散されている場合でも効率よく表示することが可能になるビデオ出力コントローラ及びビデオカードを提供することができる。

【発明を実施するための最良の形態】

【0010】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。

【0011】

(第1の実施の形態)

図1に示すように、本発明の第1の実施の形態に係るビデオカード1は、CPU2による外部制御の元、画像を描画して画像データ（以後、「フレームバッファ」という）FB1～FB4を生成する複数の画像処理装置（例えば、レンダリングエンジン）4a～4dと、DMAコマンドリストを格納する第1の記憶装置8と、フレームバッファFB1～FB4を格納する第2の記憶装置9と、表示装置3への出力を管理するディスプレイコントローラ7と、ビデオ出力バッファ5と、DMAコントローラ6とを有する。

【0012】

図2は、図1に示したビデオカード1のうちビデオ出力コントローラに相当する部分を示す。ビデオ出力コントローラは、DMAコマンドリスト16を保持する第1の記憶装置8と、フレームバッファFB1～FB4を保持する第2の記憶装置9と、ビデオ出力バッファ5と、DMAコントローラ6と、ディスプレイコントローラ7とを有する。DMAコマンドリスト16には、複数のDMAコマンドDC₁～DC₅が含まれる。DMAコマンドDC₁～DC₅のそれぞれには、転送元のアドレス(src addr)、転送先のアドレス(dst addr)、及び転送するデータ(フレームバッファ)のサイズ(size)が含まれる。ディスプレイコントローラ7は、どのDMAコマンドDC₁～DC₅を発行するかを決定するDMAコマンドリスト処理部10と、初期化のきっかけとなる初期化信号S_Iを受け取る初期化信号ポート13と、DMAコマンドDC₁～DC₅の発行のきっかけとなるステップ信号S_Sを受け取るステップ信号ポート14と、初期化信号S_I及びステップ信号S_Sを元にDMAコマンドDC₁～DC₅の発行のタイミング信号をDMAコマンドリスト処理部10に通知する外部信号処理部15とを有する。DMAコマンドリスト処理部10は、DMAコマンドリスト16の先頭位置を保持するリストヘッダ11と、次に発行するDMAコマンドDC₂の位置を保持するリストポインタ12とを有する。初期化信号S_IはいわゆるV-Sync信号にあたる。またステップ信号S_SはいわゆるH-Sync信号にあたる。ディスプレイコントローラ7には、初期化信号S_Iとステップ信号S_Sが入力される。

【0013】

外部信号処理部15は、初期化信号S_Iとステップ信号S_SからDMAコマンドリスト処理部10に対してタイミング信号を生成する。具体的には、外部信号処理部15は、描画終了のタイミングを検知してDMAコマンドリスト処理部10に初期化のタイミング信号を通知し、また外部からの信号に応じてDMAコマンドの発行のタイミング信号をDMAコマンドリスト処理部10に通知する。

【0014】

DMAコマンドリスト処理部10は、第1の記憶装置8に保持された一連のDMAコマ

ンドリスト16から適切なDMAコマンドDC₁～DC₅を取得してDMAコントローラ6に送る。即ち、DMAコマンドリスト処理部10は、外部信号処理部14からの通知に従って、DMAコントローラ6に対してDMAコマンドの発行を行う。

【0015】

DMAコントローラ6は、ディスプレイコントローラ7から直接DMAコマンドDC₁～DC₅を受けて、或いはポインタで間接的に受ける場合は第1の記憶装置8からDMAコマンドDC₁～DC₅を読み込んで、ブロック転送を行う。そのために、第1の記憶装置8に置かれる1ステップで起動されるDMAコマンドDC₁～DC₅は複数のDMAコマンドから構成されることがある。

【0016】

ビデオ出力バッファ5は、ビデオ出力用に一時的に画像データ（フレームバッファ）FB1～FB4を保持し、通常1ライン分のデータが保持される程度の大きさを有する。

【0017】

第1の記憶装置8は、ディスプレイコントローラ7が直接高速にアクセスできるメモリであっても構わないし、或いは第2の記憶装置9の一部の領域であっても構わない。DMAコマンドリスト16の要素（DMAコマンドDC₁～DC₅）は、DMAコマンドデータと次のステップ信号S_sで発行するDMAコマンドデータへのポインタを具備する。リストポインタ12を更新する際、リストポインタ12をDMAコマンドデータへのポインタで書き換える。DMAコマンドリストの要素は総て同一のサイズを有し、起動されるべき順番に並んでいる。リストポインタ12を更新することは、DMAコマンドリスト16の要素のサイズをリストポインタ12に加算することである。

【0018】

第2の記憶装置は、インベデッド（embedded）DRAMなどの内蔵DRAMであること が望ましい。

【0019】

次に、図3を用いてビデオ出力コントローラの基本的な動作について説明する。

【0020】

(イ) 先ず、S01段階で、初期化信号ポート13は、初期化のきっかけとなる初期化信号S₁（V-Sync）を受け取る。すると、S02段階で、DMAコマンドリスト処理部10は初期化される。具体的には、DMAコマンドリスト処理部10は、リストヘッダ11が保持する先頭位置をリストポインタ12へ複写する。換言すれば、DMAコマンドリスト処理部10は、リストヘッダ11に保持されているDMAコマンドリストの先頭番地をリストポインタ12にロードする。

【0021】

(ロ) 次に、S03段階で、ステップ信号ポート14は、DMAコマンドDC₁～DC₅の発行のきっかけとなるステップ信号S_sを受け取る。すると、S04段階で、ディスプレイコントローラ7はDMAコマンドDC₁～DC₅をDMAコントローラ6へ転送し、DMAコントローラ6はDMAコマンドDC₁～DC₅に従って第2の記憶装置9からビデオ出力バッファ5にフレームバッファFB1～FB4を転送する。即ち、ディスプレイコントローラ7は、DMAコントローラ6にDMAコマンドDC₁～DC₅を送ってブロック転送を行う。ここで実際には、DMAコントローラ6は1ライン分のデータをビデオ出力バッファ5へ転送する。具体的には、DMAコマンドリスト処理部10は、ステップ信号ポート14がステップ信号S_sを受け取った場合、リストポインタ12が示すDMAコマンドDC₁～DC₅を発行し、予め決められた規則に従ってリストポインタ12を更新する。

【0022】

(ハ) そして、S05段階で、1フレームの描画が終了しているか否かを判断する。1フレームの描画が終了している場合（S05段階でY_es）、S01段階に戻り、初期化信号ポート13は、初期化のきっかけとなる初期化信号S₁（V-Sync）を待ち受け、新たなフレームの描画を開始する。まだ1フレームの描画が終了していない場合（S05段階でN_o）、ステップ信号ポート14は、DMAコマンドDC₁～DC₅の発行のきっかけと

なるステップ信号 S_s を待ち受ける。

【0023】

このように、画面の転送を指示するDMAコマンド $DC_1 \sim DC_5$ を第1の記憶装置8上にアプリケーションが自由に定義できる。したがって、分散レンダリングによってフレームバッファ $FB_1 \sim FB_4$ が図4のように第2の記憶装置9内で分散して自由に配置された場合であっても、一箇所にあつめることなく図1の表示装置3の出力画面20にビデオ出力できる。

【0024】

また、フレームバッファ $FB_1 \sim FB_4$ を第2の記憶装置9内で分散して自由に配置することができるため、第2の記憶装置9の使用メモリ量を削減することができる。

【0025】

また、ビデオカード1或いはビデオ出力コントローラは、外部から初期化信号 S_I 或いはステップ信号 S_s を受けて動作する為、出力画面20に表示される画像のたわみを抑えることができる。

【0026】

以上説明したように、第1の実施の形態によれば、第2の記憶装置9内に分散して配置されたフレームバッファ $FB_1 \sim FB_4$ を一箇所に集めることなく出力することが可能になる。したがって、アプリケーションのレンダリング方式の自由度が高くなり、一箇所に集める場合よりも少ないメモリ量で同等の効果が得られる。本来ならハードウェアがすべて行っていたCRT等のビデオ出力コントローラの機能の一部をソフトウェアに置き換えることで、自由に解像度を変更することができる。またフレームバッファがメモリ上に分散して構成された場合にも柔軟に対応できる。

【0027】

なお、表示装置3の具体例としては、CRT表示装置、液晶表示装置、プラズマ表示装置などがある。したがって、図2に示したディスプレイコントローラ7は、これらの表示装置の具体例に対応した制御装置（例えば、CRT等）に適用できる。

【0028】

(第1の実施の形態の変形例)

通常、初期化信号（V-Sync） S_I とステップ信号（H-Sync） S_s は周期的な信号であり、ステップ信号 S_s が所定の回数だけ入ったところで初期化信号 S_I が入る。第1の実施の形態の変形例では、外部信号処理部15内にステップ信号 S_s が入った回数を数えるカウンタを設けた場合について説明する。

【0029】

図5に示すように、第1の実施の形態の変形例に係るビデオ出力コントローラは、DMAコマンドリスト16を保持する第1の記憶装置8と、フレームバッファ $FB_1 \sim FB_4$ を保持する第2の記憶装置9と、ビデオ出力バッファ5と、DMAコントローラ6と、ディスプレイコントローラ7とを有する。DMAコマンドリスト16には、複数のDMAコマンド $DC_1 \sim DC_5$ が含まれる。ディスプレイコントローラ7は、どのDMAコマンド $DC_1 \sim DC_5$ を発行するかを決定するDMAコマンドリスト処理部10と、初期化のきっかけとなる初期化信号 S_I を受け取る初期化信号ポート13と、DMAコマンド $DC_1 \sim DC_5$ の発行のきっかけとなるステップ信号 S_s を受け取るステップ信号ポート14と、初期化信号 S_I 及びステップ信号 S_s を元にDMAコマンド $DC_1 \sim DC_5$ の発行のタイミング信号をDMAコマンドリスト処理部10に通知する外部信号処理部15とを有する。DMAコマンドリスト処理部10は、DMAコマンドリスト16の先頭位置を保持するリストヘッダ11と、次に発行するDMAコマンド DC_2 の位置を保持するリストポインタ12とを有する。

【0030】

外部信号処理部15は、ステップ信号 S_s を受け取った回数を数えるカウンタ22と、予め与えられた描画終了ステップ回数を記憶する最大値レジスタ21とを有する。外部信号処理部15は、ステップ信号 S_s を受け取った回数が最大値レジスタ21に記憶されて

いる描画終了ステップ回数と等しい場合、DMAコマンドリスト処理部10に初期化のタイミング信号を送る。なお、描画終了ステップ回数は、1フレームあたりに受信するステップ信号S_sの回数の最大値に相当する。

【0031】

外部信号処理部15は、予め設定した1フレームあたりのステップ信号S_sの受信回数が最大値に達したとき、初期化信号S_Iが入るかどうかを調べる。初期化信号S_Iが入らない場合、上位のシステムに割り込みをいれて不整合を通知する。

【0032】

第1の実施の形態の変形例によれば、1フレームあたりのステップ信号S_sの受信回数をカウントすることにより、正確に画像を表示することができる。

【0033】

更に、第1の実施の形態と同様な効果が得られることは言うまでもない。

【0034】

(第2の実施の形態)

第2の実施の形態では、表示装置3の出力画面20を縦方向に分割して、各々の領域に対応するフレームバッファを分散して配置させた場合について説明する。

【0035】

図6に示すように、第2の実施の形態に係るビデオ出力コントローラは、DMAコマンドリスト16を保持する第1の記憶装置8と、フレームバッファFB1～FB4を保持する第2の記憶装置9と、ビデオ出力バッファ5と、DMAコントローラ6と、ディスプレイコントローラ7とを有する。DMAコマンドリスト16には、複数のDMAコマンド群DC₁～DC₅が含まれる。ディスプレイコントローラ7は、どのDMAコマンド群DC₁～DC₅を発行するかを決定するDMAコマンドリスト処理部10と、初期化のきっかけとなる初期化信号S_Iを受け取る初期化信号ポート13と、DMAコマンド群DC₁～DC₅の発行のきっかけとなるステップ信号S_sを受け取るステップ信号ポート14と、初期化信号S_I及びステップ信号S_sを元にDMAコマンド群DC₁～DC₅の発行のタイミング信号をDMAコマンドリスト処理部10に通知する外部信号処理部15とを有する。

【0036】

1つのステップ信号S_sによって発行されるDMAコマンド群DC₁～DC₅には、複数のDMAコマンドCMD1～CMD4がそれぞれ含まれる。即ち、1つのステップ信号S_sによって、複数のDMAコマンドCMD1～CMD4が発行される。DMAコマンド群DC₁～DC₅の詳細な構成は、図9を参照して説明する。

【0037】

DMAコマンドリスト処理部10は、DMAコマンドリスト16の先頭位置を保持するリストヘッダ11と、次に発行するDMAコマンド群DC₂の位置を保持するリストポインタ12と、ステップ信号S_sで起動するDMAコマンドCMD1～CMD4をたどるコマンドポインタ23とを有する。ステップ信号S_sを受信することにより、リストポインタ12は起動すべきDMAコマンド群DC₁～DC₅を切り替える。コマンドポインタ23は、1つのステップ信号S_sで起動すべきDMAコマンドCMD1～CMD4を切り替える。

【0038】

次に、図7を用いて図6に示したビデオ出力コントローラの基本的な動作について説明する。

【0039】

(イ) 先ずS11段階で、初期化信号ポート13は、初期化のきっかけとなる初期化信号S_Iを受け取る。すると、S12段階で、DMAコマンドリスト処理部10は初期化される。具体的には、DMAコマンドリスト処理部10は、リストヘッダ11が保持する先頭位置をリストポインタ12へ複写する。

【0040】

(ロ) 次に、S13段階で、ステップ信号ポート14は、DMAコマンド群DC₁～D

C_5 の発行のきっかけとなるステップ信号 S_s を受け取る。すると、S14段階で、ディスプレイコントローラ7はDMAコマンド群 $DC_1 \sim DC_5$ をDMAコントローラ6へ転送し、DMAコントローラ6はDMAコマンド群 $DC_1 \sim DC_5$ に従って第2の記憶装置9からビデオ出力バッファ5にフレームバッファFB1～FB4を転送する。即ち、ディスプレイコントローラ7は、DMAコントローラ6へDMAコマンド群 $DC_1 \sim DC_5$ を送ってブロック転送を行う。ここで実際には、DMAコントローラ6は1ライン分のデータをビデオ出力バッファ5へ転送する。具体的には、DMAコマンドリスト処理部10は、ステップ信号ポート14がステップ信号 S_s を受け取った場合、リストポインタ12が示すDMAコマンド群 $DC_1 \sim DC_5$ に含まれる複数のDMAコマンドCMD1～CMD4を発行し、予め決められた規則に従ってリストポインタ12を更新する。なお、1つのステップ信号 S_s により発行される複数のDMAコマンドCMD1～CMD4は、同時にあるいは順番にDMAコントローラに転送される。第2の実施の形態においては、特に転送されるDMAコマンドCMD1～CMD4の順番については規定しない。また起動される順番も規定しない。DMAコマンドCMD1～CMD4は並列に起動されて処理されてもよいし、DMAコマンドCMD1～CMD4が送られた順番に起動されてもよい。

【0041】

(ハ) そして、S15段階で、1フレームの描画が終了しているか否かを判断する。1フレームの描画が終了している場合(S15段階でY_es)、S11段階に戻り、初期化信号ポート13は、初期化のきっかけとなる初期化信号 S_I (V-Sync) を待ち受け、新たなフレームの描画を開始する。まだ1フレームの描画が終了していない場合(S15段階でN_o)、S13段階に戻り、ステップ信号ポート14は、DMAコマンド $DC_1 \sim DC_5$ の発行のきっかけとなるステップ信号 S_s を待ち受ける。

【0042】

図8に示すように、表示装置3の出力画面20を縦方向に分割して、各々の領域に対応するフレームバッファFB1～FB4を第2の記憶装置9内に分散して配置させた場合であっても、フレームバッファFB1～FB4を一箇所にあつめることなく出力画面20にビデオ出力できる。

【0043】

また、フレームバッファFB1～FB4を第2の記憶装置9内で分散して自由に配置することができるため、第2の記憶装置9の使用メモリ量を削減することができる。

【0044】

また、ビデオカード1或いはビデオ出力コントローラは、外部から初期化信号 S_I 或いはステップ信号 S_s を受けて動作する為、出力画面20に表示される画像のたわみを抑えることができる。

【0045】

以上説明したように、第2の実施の形態によれば、第2の記憶装置9内に分散して配置されたフレームバッファFB1～FB4を一箇所に集めることなく出力することが可能になる。したがって、アプリケーションのレンダリング方式の自由度が高くなり、一箇所に集める場合よりも少ないメモリ量で同等の効果が得られる。本来ならハードウェアがすべて行っていたビデオ出力コントローラの機能の一部をソフトウェアに置き換えることで、自由に解像度を変更することができる。またフレームバッファがメモリ上に分散して構成された場合にも柔軟に対応できる。

【0046】

なお、表示装置3の具体例としては、CRT表示装置、液晶表示装置、プラズマ表示装置などがある。したがって、図6に示したディスプレイコントローラ7は、これらの表示装置の具体例に対応した制御装置(例えば、CRTC等)に適用できる。

【0047】

図9に示すように、DMAコマンドリスト16は複数のレベルからなる階層構造を有する。具体的には、DMAコマンドリスト16は、複数のDMAコマンド群 $DC_1 \sim DC_5$ を有する。そして、DMAコマンド群 $DC_1 \sim DC_5$ のそれぞれは、複数のDMAコマンドC

MD1～CMD4と、ノード25とを有する。リストポインタ12は第1のレベルのノード25を示し、DMAコマンド群DC₁～DC₅が発行されるときは、ノード25の下のレベルのノード25からたどれる複数のDMAコマンドCMD1～CMD4が起動される。リストヘッダ11は、DMAコマンドリスト16の先頭位置（ノード）25を保持する。リストポインタ12は、次に発行するDMAコマンド群DC₃の位置（ノード）25を保持する。コマンドポインタ23は、ステップ信号S_Sで起動するDMAコマンドCMD1～CMD4をたどる。

【0048】

(第2の実施の形態の変形例)

第2の実施の形態の変形例では、複数プロセスで生成される画像を一つの画面にウインドウ表示する方法について説明する。具体的には、図10(a)に示す背景30に、図10(b)及び図10(c)に示す第1及び第2のウインドウ31、32を重ね合わせて、図10(d)に示すように一つのフレームに表示する場合について説明する。

【0049】

図9に示したように、第2の実施の形態では各ステップ信号S_Sで起動されるDMAコマンド群DC₁～DC₅に含まれるDMAコマンドCMD1～CMD4の数は総て同じであった。しかし、第2の実施の形態の変形例では、ウインドウが重なる部分だけ起動するDMAコマンドCMD1～CMD4の数が異なる。即ち、背景30を書いているプロセスの描画に加え、第1及び第2のウインドウ31、32が重なっている部分（ライン）33では第1及び第2のウインドウ31、32の分だけ余計にDMAコマンドを転送する必要がある。

【0050】

図11に示すように、DMAコマンド群DC₁、DC₄、DC₅は、背景30のみを表示すればよいため、ノード25と、DMAコマンドCMD1、CMD2とを有する。一方、DMAコマンド群DC₂、DC₃は、第1及び第2のウインドウ31、32及び背景30を表示するため、ノード25と、DMAコマンドCMD1～CMD4とを有する。

【0051】

また、図9に示した第2の実施の形態と異なり、図11に示した変形例では、DMAコマンドCMD1～CMD4の発行順序を遵守する必要がある。即ち、背景30を転送してから第1及び第2のウインドウ31、32を転送して、画面上に上書きして描画する必要がある。したがって、コマンドポインタ23は、DMAコマンドCMD1～CMD4を順番にたどらなければならない。

【0052】

(第3の実施の形態)

第3の実施の形態では、画像の拡大縮小表示をする場合について説明をする。

【0053】

図12に示すように、本発明の第3の実施の形態に係るビデオ出力コントローラは、DMAコマンドリスト16を保持する第1の記憶装置8と、フレームバッファFB1～FB4を保持する第2の記憶装置9と、ビデオ出力バッファ5と、DMAコントローラ6と、ディスプレイコントローラ7と、画像の拡大縮小表示のためのフィルタリングを行うフィルタリングハードウェア40とを有する。フィルタリングハードウェア40は、中間データ保持メモリ41と補間器42とを有する。DMAコマンドリスト16には、複数のDMAコマンドDC₁～DC₅が含まれる。ディスプレイコントローラ7は、DMAコマンドリスト処理部10と、初期化信号ポート13と、ステップ信号ポート14と、外部信号処理部15とを有する。DMAコマンドリスト処理部10は、リストヘッダ11と、リストポインタ12とを有する。

【0054】

このように、第3の実施の形態に係るビデオ出力コントローラは、図2に示したビデオ出力コントローラに比して、フィルタリングハードウェア40を新たに付加した点が異なる。

【0055】

次に、図13～図16を参照して、図12に示したビデオ出力コントローラを用いて画像を拡大縮小する方法について説明する。

【0056】

図13は、縦横方向へ2倍拡大する単純なアルゴリズムを示す。図13の上段は2倍拡大処理前のピクセル列を示し、図13の中段は横方向へ2倍拡大処理した後のピクセル列を示し、図13の下段は更に縦方向に2倍拡大処理した後のピクセル列を示す。ここでは、2倍拡大を例として示してあるが、整数倍なら同様の方式で拡大が可能である。まず1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ をフィルタリングハードウェア40の中間データ保持メモリ41に転送し、1ラインの横方向の拡大処理を行う。具体的には、図13の上段及び中段に示すように、1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ 分の元のピクセル列の間に中間ピクセル $C_{1,j+0.5}$ を配置し、左のピクセルのカラーをコピーして中間ピクセル $C_{1,j+0.5}$ のカラーを生成する。横方向への拡大処理が終了した後のライン $C_{1,j}$ を2回ビデオ出力バッファ5に転送すれば、図13の下段に示すような縦方向への拡大処理($C_{1,j}, C_{2,j}$)ができる。

【0057】

図14は、バイリニア補間により縦横方向へ2倍拡大するアルゴリズムを示す。図13に比べて画像品質の向上が期待できる。図14の上段は2倍拡大処理前のピクセル列を示し、図14の中段は横方向へ2倍拡大処理した後のピクセル列を示し、図14の下段は更に縦方向に2倍拡大処理した後のピクセル列を示す。ここでは、2倍の拡大を例に取り説明するが、その他の倍数であっても構わない。まず、第1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ を中間データ保持メモリ41に転送する。そして、(1)式に従って第1ラインの横方向の拡大処理を行う。具体的には、図14の上段及び中段に示すように、第1ラインのピクセル列 $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ の間に中間ピクセル $C_{1,j+0.5}$ を挿入する。ただし、中間ピクセル $C_{1,j+0.5}$ の値は、隣り合うピクセルから線形補間して得られる。2倍拡大の場合は単に隣り合う2つのピクセル $C_{1,j-1}, C_{1,j+1}$ の平均をとればよい。次に、第2ライン $C_{2,1}, C_{2,2}, C_{2,3}, \dots$ を中間データ保持メモリ41に転送する。そして、(2)式に従って第2ラインの横方向の拡大処理を行う。

【0058】

$$C_{i,j+0.5} = (C_{i,j} + C_{i,j+1}) / 2 \quad \dots \quad (1)$$

$$C_{i+1,j+0.5} = (C_{i+1,j} + C_{i+1,j+1}) / 2 \quad \dots \quad (2)$$

次に、第1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ と第2ライン $C_{2,1}, C_{2,2}, C_{2,3}, \dots$ との間で縦方向拡大を行う。具体的には、図14の下段に示すように、第1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ と第2ライン $C_{2,1}, C_{2,2}, C_{2,3}, \dots$ の上下に対応する各ピクセルの間で線形補間して中間ピクセル $C_{i+0.5,j}$ を生成する。次に、第1ライン及び新たに生成した第1.5ラインに相当する中間ラインをビデオ出力バッファ5に転送する。そして、元画像の第3ラインを中間データ保持メモリ41に転送し、同様に横方向に拡大をしてから縦方向に中間ピクセルを生成して縦方向拡大を行う。これを繰り返すことで縦横2倍拡大が可能である。

【0059】

図15(a)は、横方向へ1/2倍縮小する単純なアルゴリズムを示す。図15(a)の上段は1/2倍縮小処理前のピクセル列を示し、図15(a)の下段は横方向へ1/2倍縮小処理した後のピクセル列を示す。ここでは、1/2倍縮小を例にとり説明するが、(1/整数)倍ならば同様の手法で縮小画像の生成が可能である。具体的には、第1ライン $C_{1,1}, C_{1,2}, C_{1,3}, \dots$ を中間データ保持メモリ41に転送し、1つおきにピクセル $C_{1,2}, C_{1,4}, \dots$ を間引いて1/2サイズのラインを形成する。このようにして横方向に縮小する。

【0060】

図15(b)は、縦横方向へ1/2倍縮小する単純なアルゴリズムを示す。図15(b)の左側は縦横方向へ1/2倍縮小処理前のピクセル列を示し、図15(b)の中央は横

方向へ $1/2$ 倍縮小処理した後のピクセル列を示し、図15（b）の右側は更に縦方向に $1/2$ 倍縮小処理した後のピクセル列を示す。ここでは、 $1/2$ 倍縮小を例にとり説明するが、（1／整数）倍ならば同様の手法で縮小画像の生成が可能である。まず、第1ラインを中間データ保持メモリ41に転送し、1つおきにピクセルを間引いて $1/2$ サイズのラインを形成する。このようにして横方向に縮小する。そして間引いた後のピクセルをビデオ出力バッファ5に転送する。この横方向縮小処理を1ラインおきに行いビデオ出力バッファ5に転送する。このようにして、縦方向への縮小処理が可能になる。

【0061】

図16は、バイリニア補間により縦横方向へ $1/2$ 倍縮小するアルゴリズムを示す。図16の上段は縦横方向へ $1/2$ 倍縮小処理前のピクセル列を示し、図16の下段は縦横方向へ $1/2$ 倍縮小処理した後のピクセル列を示す。まずは2つのラインを中間データ保持バッファ41に転送し、縦横 2×2 ピクセル、計4ピクセルの平均値を取って新しい1つのピクセルを生成する。これで縦横 $1/2$ 倍の縮小処理となる。次に出来上がった1ラインをビデオ出力バッファ5に転送すれば画像の縮小が可能である。

【0062】

なお、図12に示すビデオ出力コントローラには、転送の同期機構が必要になる。すなわち、先ず、フィルタリングハードウェア40へデータを転送する。その後、フィルタリングハードウェア40での処理が開始される。それから、フィルタリングハードウェア40からビデオ出力バッファ5へデータが転送される。この順番で処理が行われる必要がある。したがって、ディスプレイコントローラ7には、DMA転送ばかりでなくフィルタリングハードウェア40の起動も行っている。すなわちDMAコマンドリスト16には、データ転送とHWユニット起動の2つの記述が可能になっている。

【0063】

また、図17に示すように、DMAコマンドリスト16にはロックフラグ43が付加されている。ディスプレイコントローラ7は、DMAコマンドの終了を検知して次のDMAコマンドを実行することが可能である。転送の順序はディスプレイコントローラ7が管理しているので、フィルタリングハードウェア40の処理の終了をディスプレイコントローラ7に通知する機構を設けた。また、ディスプレイコントローラ7にはフィルタリングハードウェア40からの通知を受け取るまで、転送を止めておく機構も設けた。第3の実施の形態では、図17に示すように、階層化DMAコマンドリスト16のリスト要素にロックフラグ43を設け、ロックフラグ43が1である場合、ディスプレイコントローラ7はフィルタリングハードウェア40からの信号があるまで、該当するDMAコマンドの起動を停止する。以上により、フィルタリングハードウェア40へのデータの転送と、フィルタリングハードウェア40の起動と、処理後のデータの転送とが、一定の順序に従って起動されることが可能になる。

【0064】

以上説明したように、第3の実施の形態によれば、第2の記憶装置9内に分散して配置されたフレームバッファFB1～FB4を一箇所に集めることなく出力することが可能になる。したがって、アプリケーションのレンダリング方式の自由度が高くなり、一箇所に集める場合よりも少ないメモリ量で同等の効果が得られる。本来ならハードウェアがすべて行っていたビデオ出力コントローラの機能の一部をソフトウェアに置き換えることで、自由に解像度を変更することができる。またフレームバッファがメモリ上に分散して構成された場合にも柔軟に対応できる。

【0065】

上記のように、本発明は、第1乃至第3の実施の形態及びその変形例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。即ち、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

【図面の簡単な説明】

【0066】

【図1】本発明の第1の実施の形態に係るビデオカードを示すブロック図である。

【図2】図1に示したビデオカードのうちビデオ出力コントローラに相当する部分を示すブロック図である。

【図3】図2に示したビデオ出力コントローラの基本的な動作を示すフローチャートである。

【図4】図2に示したビデオ出力コントローラにより複数のフレームバッファが出力画面に出力される様子を示す図である。

【図5】第1の実施の形態の変形例に係るビデオ出力コントローラを示すブロック図である。

【図6】第2の実施の形態に係るビデオ出力コントローラを示すブロック図である。

【図7】図6に示したビデオ出力コントローラの基本的な動作を示すフローチャートである。

【図8】図6に示したビデオ出力コントローラにより複数のフレームバッファが出力画面に出力される様子を示す図である。

【図9】図6に示したDMAコマンド群の詳細な構成を示すブロック図である。

【図10】図10(a)は第2の実施の形態の変形例に係る背景を示し、図10(b)は第2の実施の形態の変形例に係る第1のウィンドウを示し、図10(c)は第2の実施の形態の変形例に係る第2のウィンドウを示し、図10(d)は背景に第1及び第2のウィンドウを重ね合わせた表示画面の一例を示す。

【図11】第2の実施の形態の変形例に係るDMAコマンド群の詳細な構成を示すブロック図である。

【図12】第3の実施の形態に係るビデオ出力コントローラを示すブロック図である。

【図13】縦横方向へ2倍拡大する単純なアルゴリズムを示す。

【図14】バイリニア補間により縦横方向へ2倍拡大するアルゴリズムを示す。

【図15】図15(a)は横方向へ1/2倍縮小する単純なアルゴリズムを示し、図15(b)は縦横方向へ1/2倍縮小する単純なアルゴリズムを示す。

【図16】バイリニア補間により縦横方向へ1/2倍縮小するアルゴリズムを示す。

【図17】第3の実施の形態におけるブロックフラグとDMAコマンドの一例を示す。

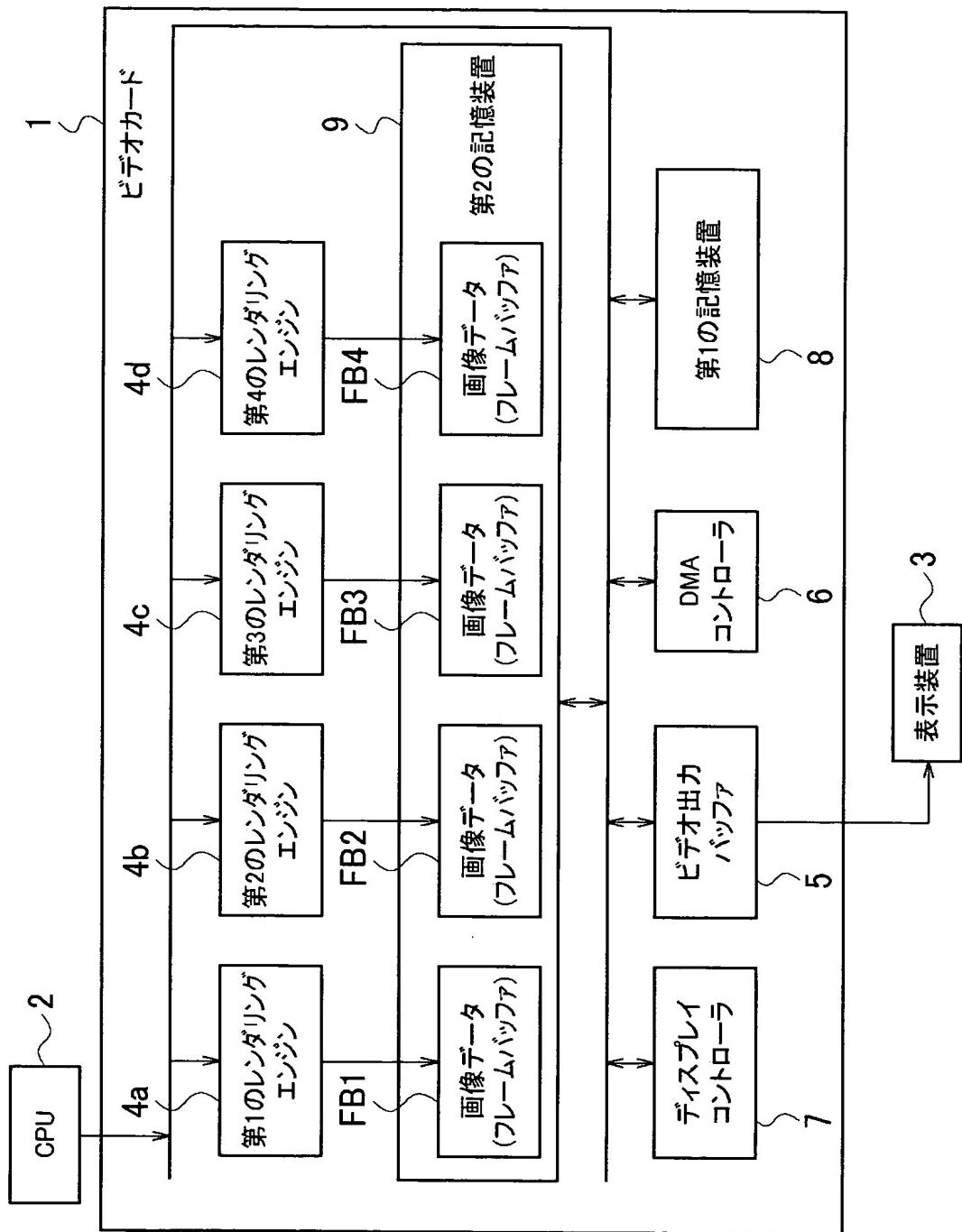
【符号の説明】

【0067】

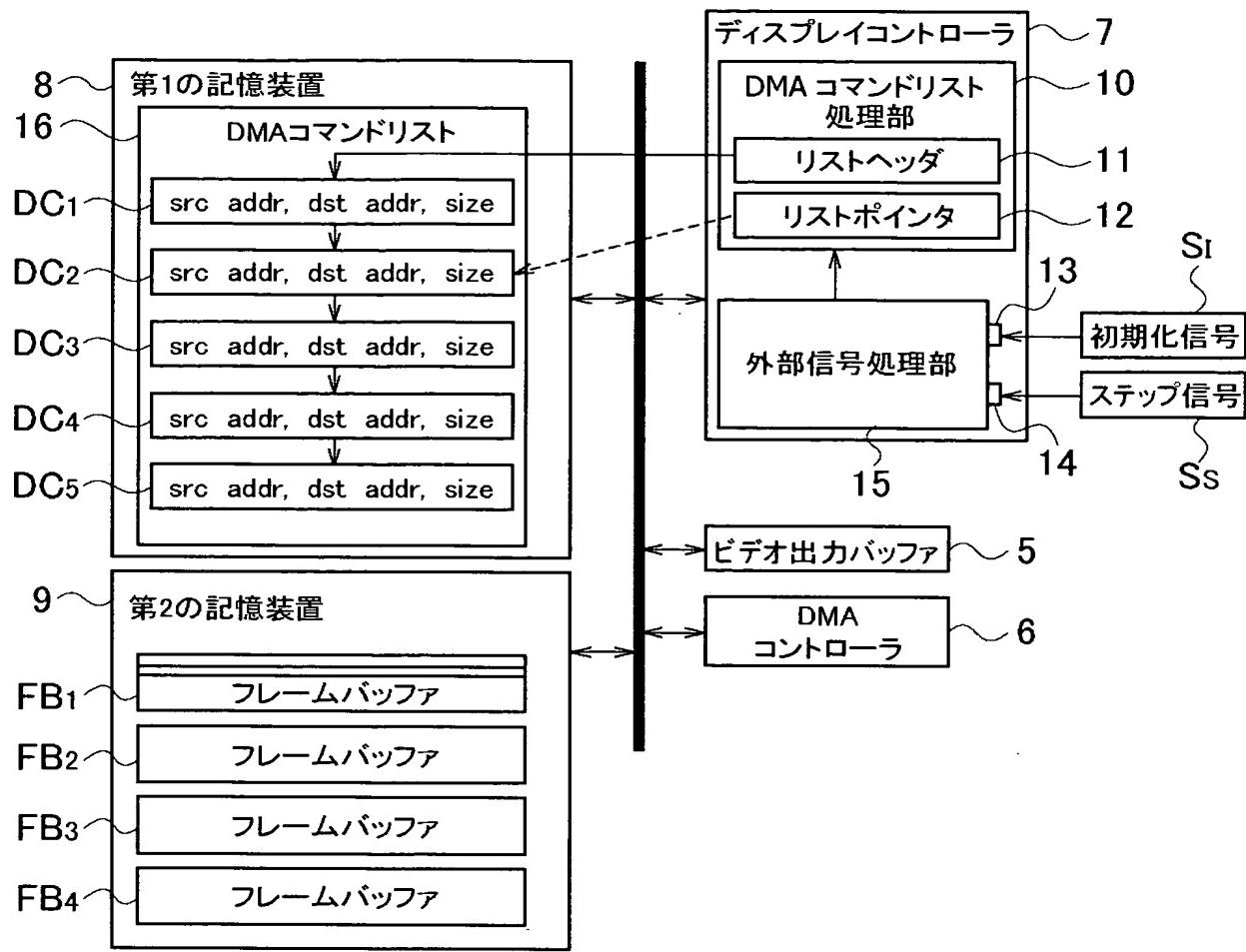
- 1 ビデオカード
- 2 C P U
- 3 表示装置
- 4 a～4 d 第1乃至第4のレンダリングエンジン
- 5 ビデオ出力バッファ
- 6 DMAコントローラ
- 7 ディスプレイコントローラ
- 8 第1の記憶装置
- 9 第2の記憶装置
- 10 DMAコマンドリスト処理部
- 11 リストヘッダ
- 12 リストポインタ
- 13 初期化信号ポート
- 14 ステップ信号ポート
- 15 外部信号処理部
- 20 出力画面

2 1 最大値レジスタ
2 2 カウンタ
2 3 コマンドポインタ
2 5 ノード
4 0 フィルタリングハードウェア
4 1 中間データ保持メモリ
4 2 補間器
4 3 ブロックフラグ
CMD 1～CMD 4 DMAコマンド
DC₁～DC₅ DMAコマンド (DMAコマンド群)
FB 1～FB 4 画像データ (フレームバッファ)
S₁ 初期化信号
S_s ステップ信号

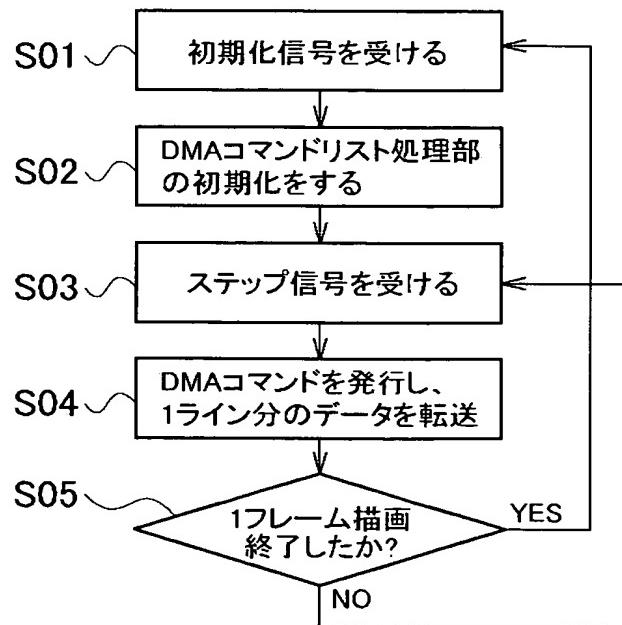
【書類名】 図面
【図1】



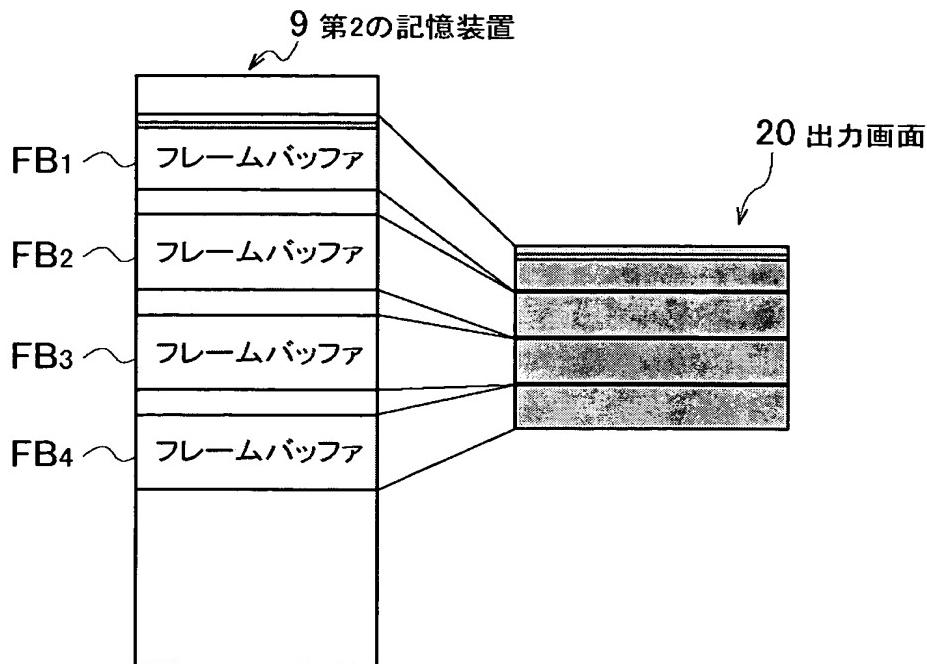
【図 2】



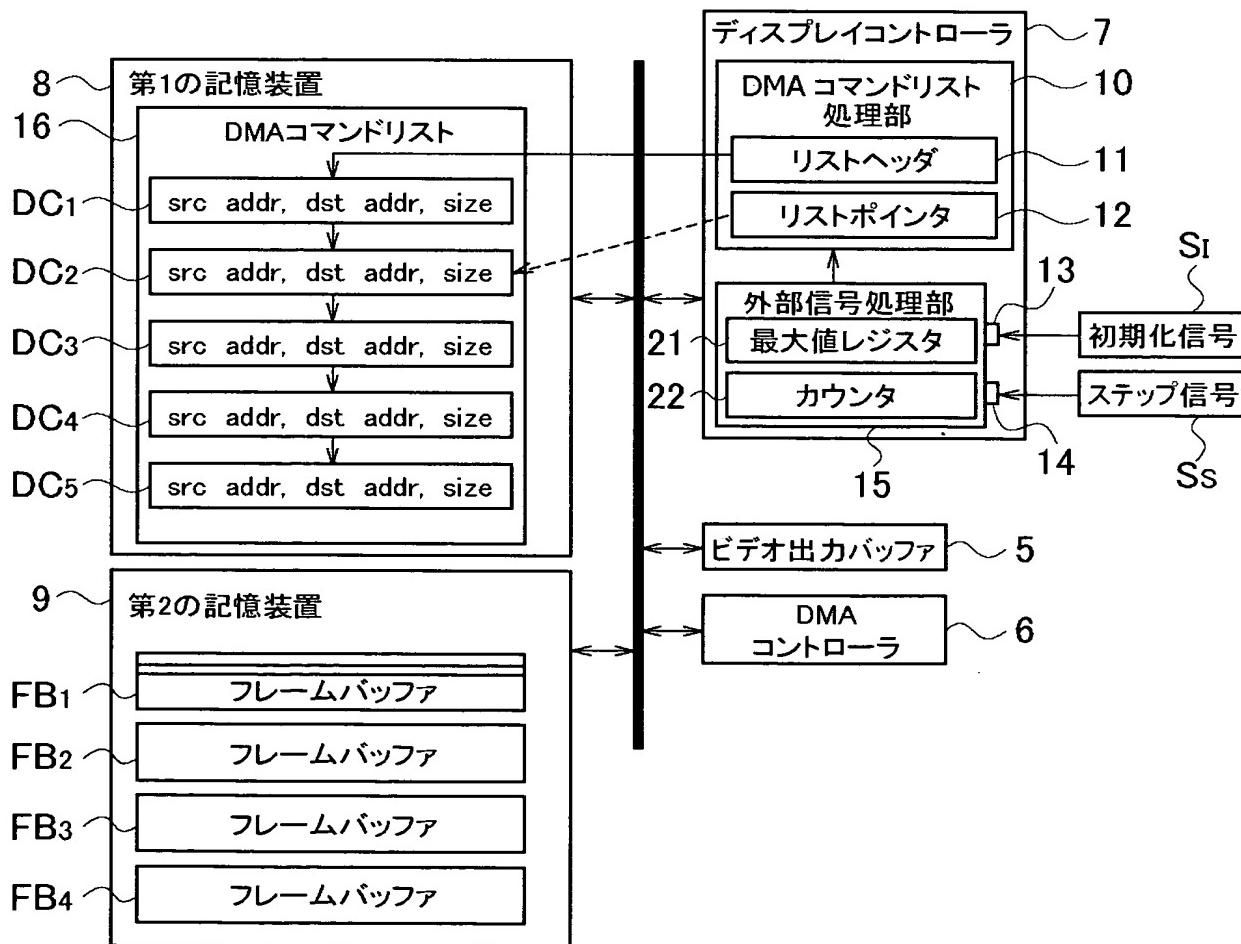
【図 3】



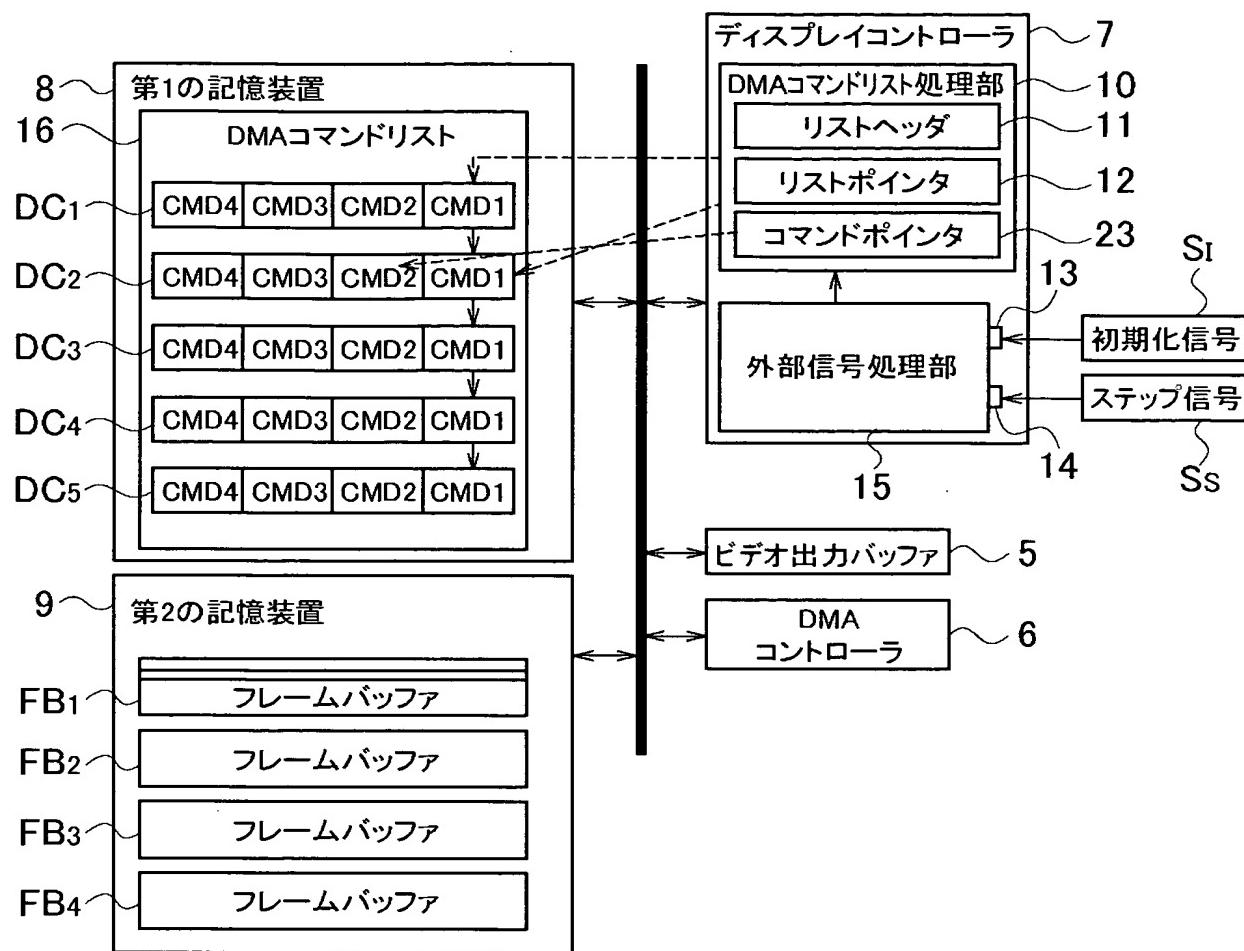
【図 4】



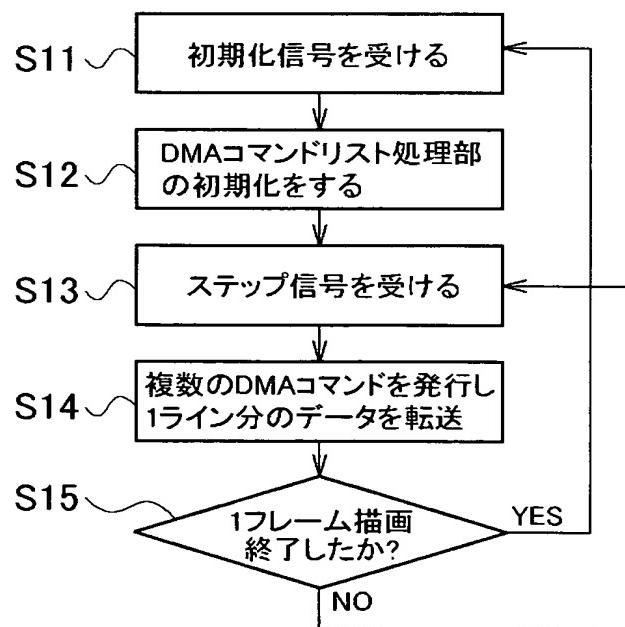
【図 5】



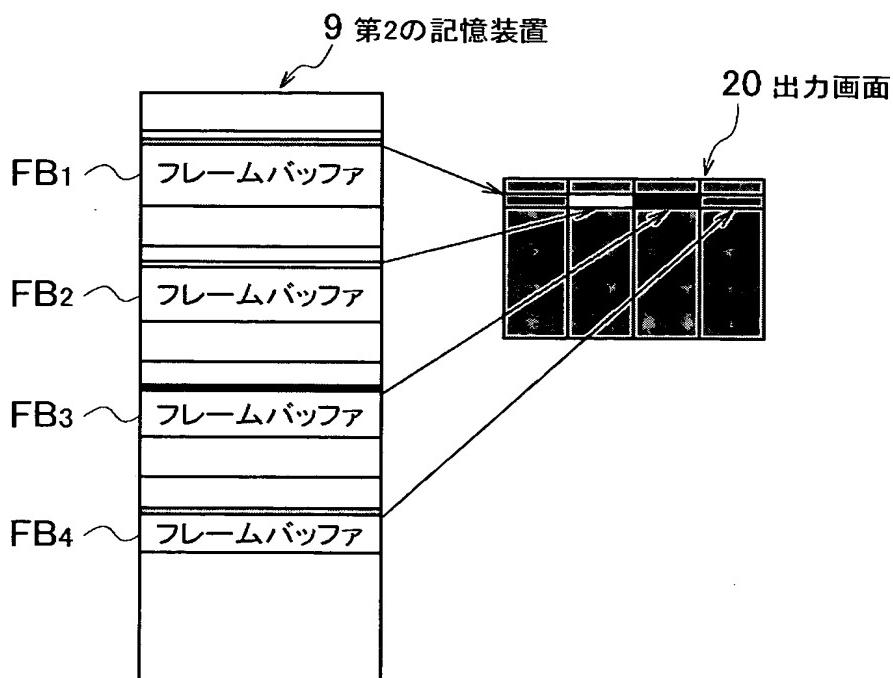
【図 6】



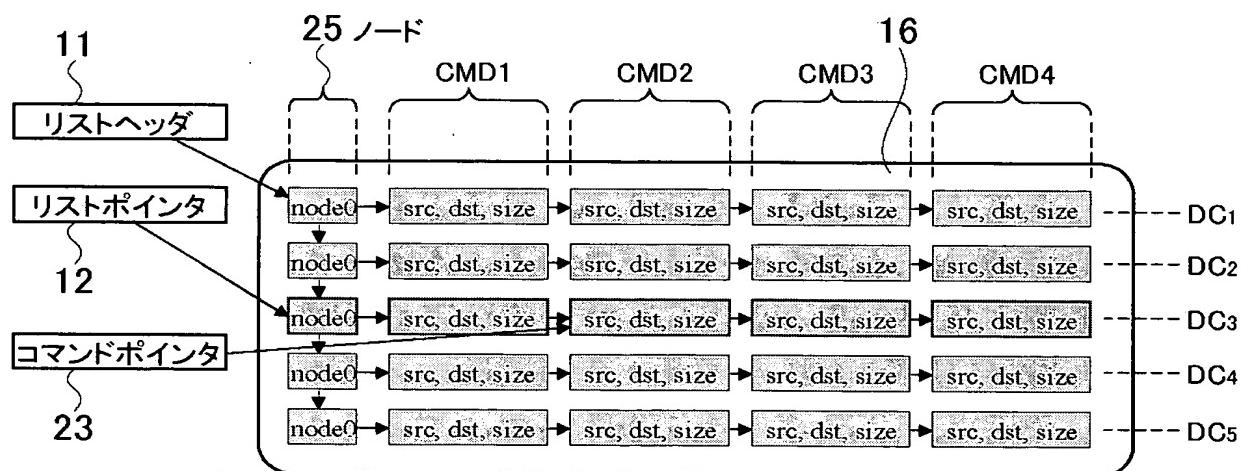
【図 7】



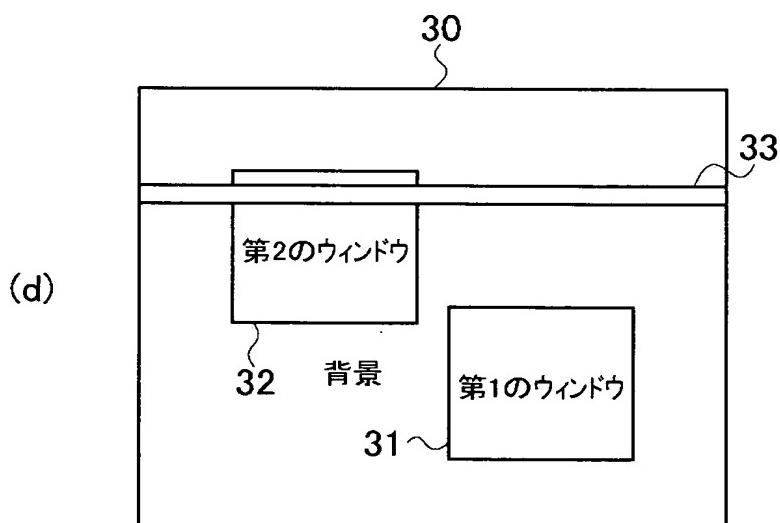
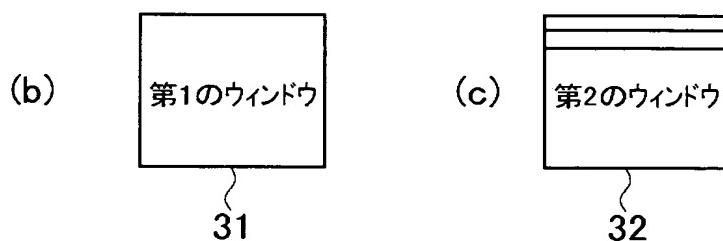
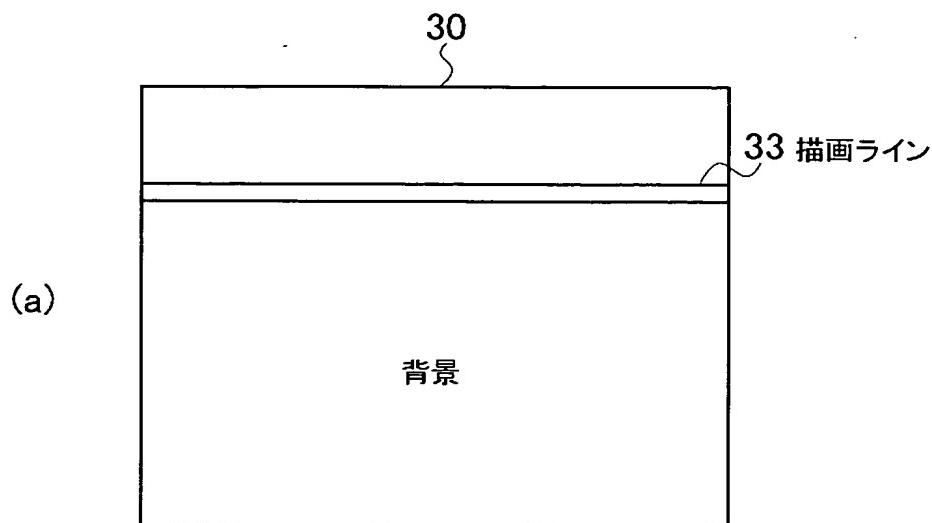
【図 8】



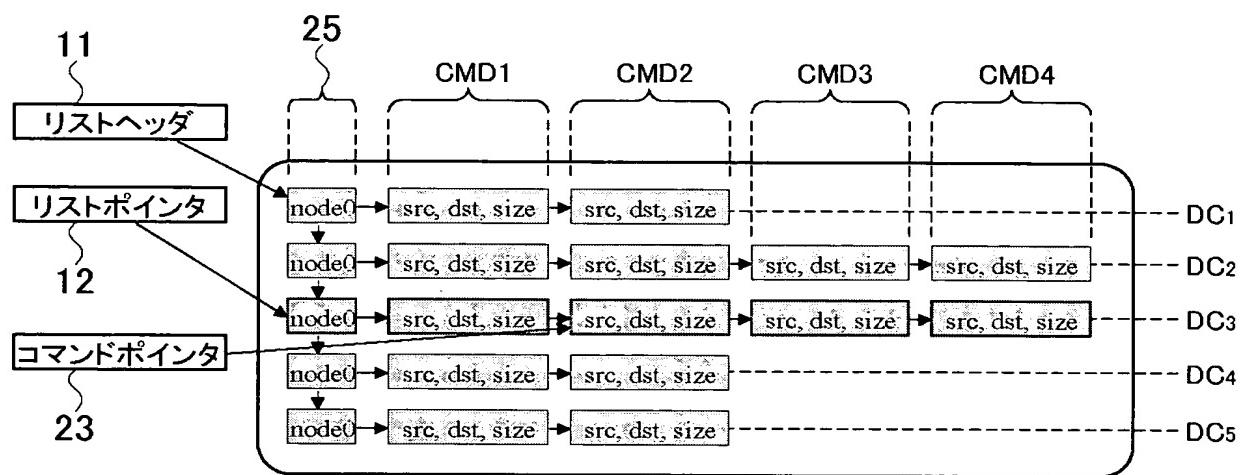
【図 9】



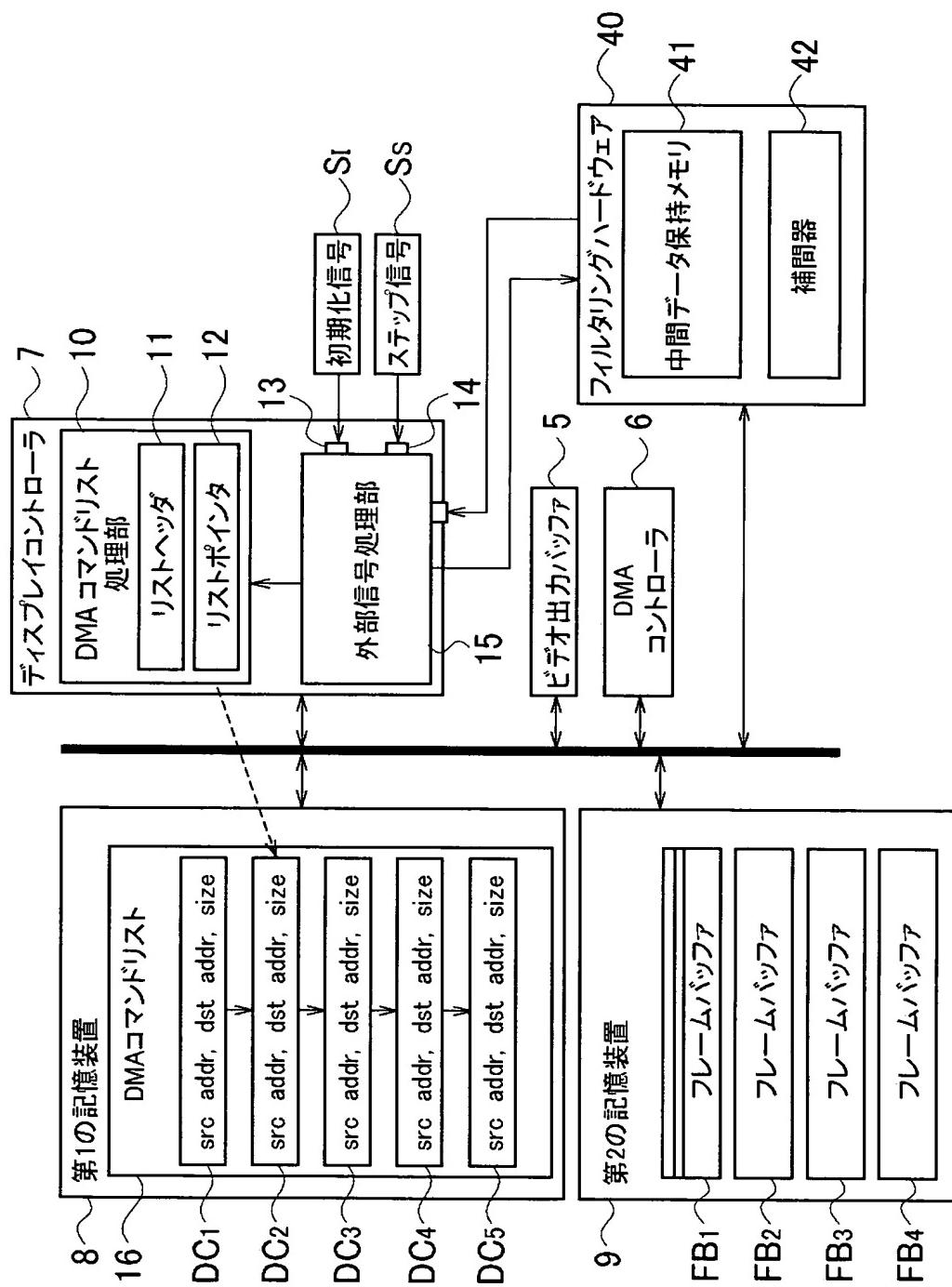
【図 10】



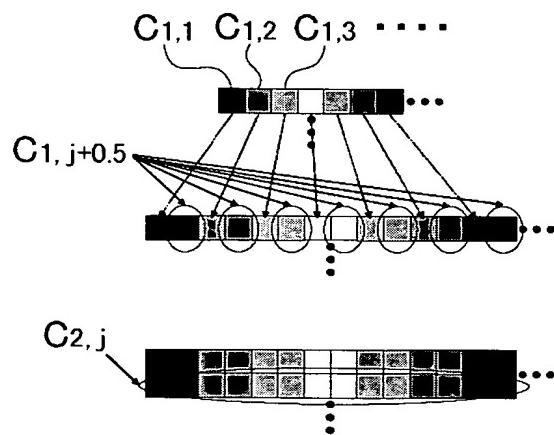
【図 11】



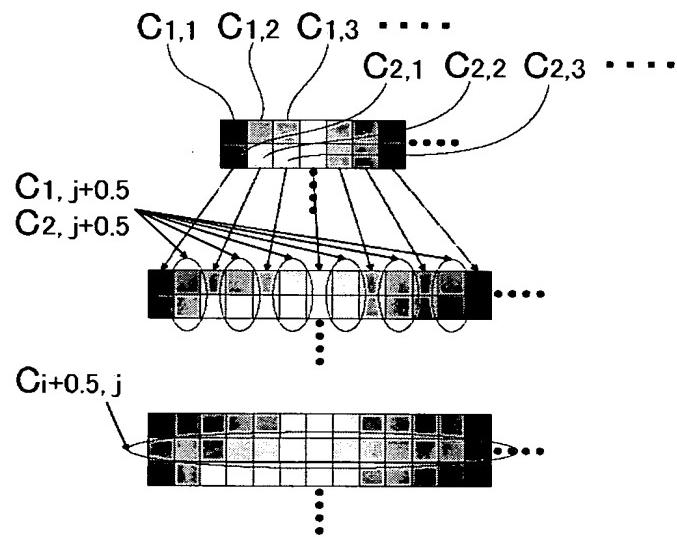
【図12】



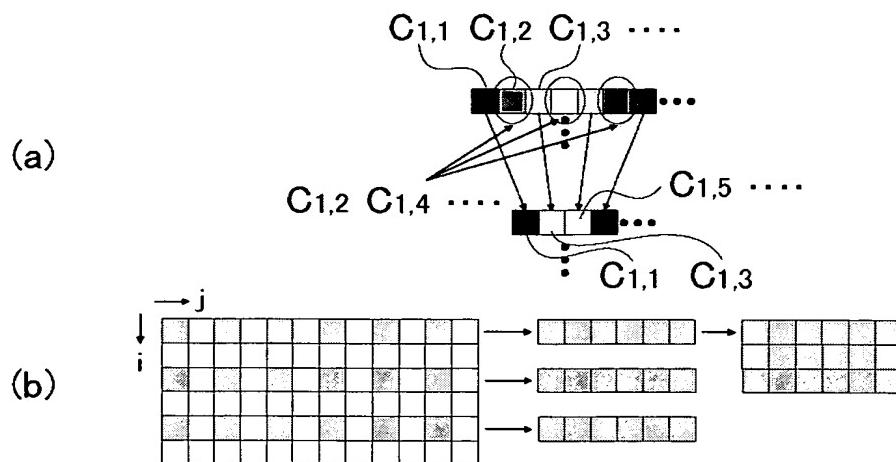
【図 13】



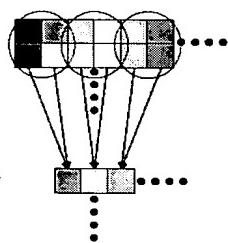
【図 14】



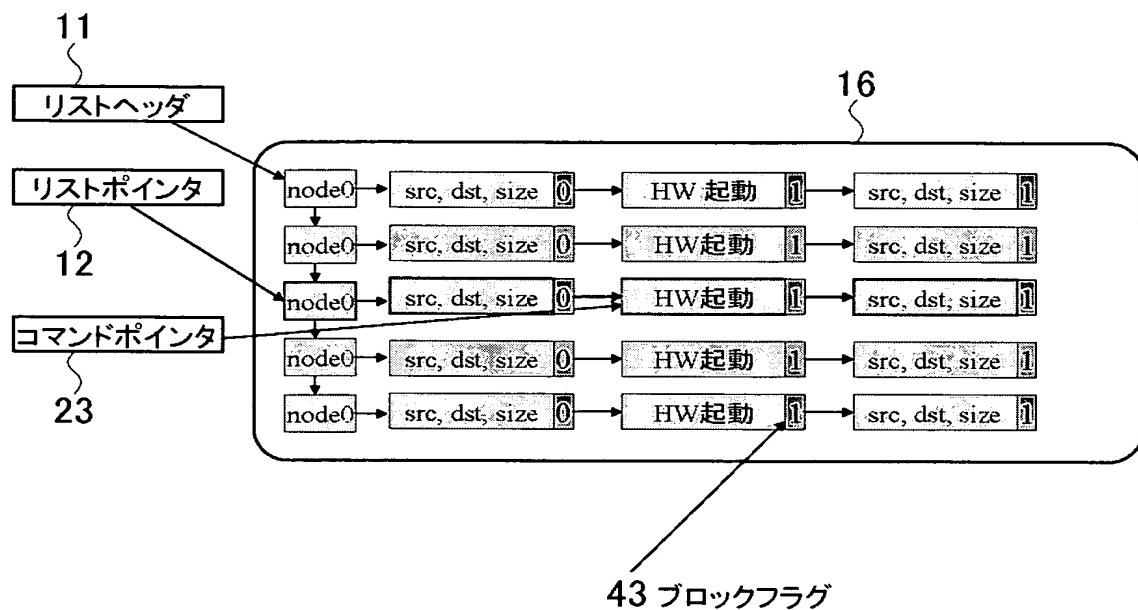
【図 15】



【図 16】



【図 17】



【書類名】要約書

【要約】

【課題】フレームバッファFB1～FB4がメモリ9上の任意の位置に分散されている場合でも効率よく表示することが可能になるビデオ出力コントローラ及びビデオカード1を提供する。

【解決手段】ビデオ出力バッファ5と、DMAコントローラ6と、ディスプレイコントローラ7とを有するビデオ出力コントローラであって、ディスプレイコントローラは、DMAコマンドリスト中のどのDMAコマンドを発行するかを決定するDMAコマンドリスト処理部と、初期化のきっかけとなる初期化信号を受け取る初期化信号ポートと、DMAコマンドの発行のきっかけとなるステップ信号を受け取るステップ信号ポートと、初期化信号及びステップ信号を元にDMAコマンドの発行のタイミング信号をDMAコマンドリスト処理部に通知する外部信号処理部とを有する。

【選択図】図1

特願2003-328272

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝